

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-323361

(43)公開日 平成5年(1993)12月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平3-96652

(22)出願日 平成3年(1991)4月26日

(71)出願人 390022998

東燃株式会社

東京都千代田区一ツ橋1丁目1番1号

(72)発明者 河野 尚毅

埼玉県入間郡大井町西鶴ヶ岡一丁目3番1

号 東燃株式会社総合研究所内

(72)発明者 柿木 寿

埼玉県入間郡大井町西鶴ヶ岡一丁目3番1

号 東燃株式会社総合研究所内

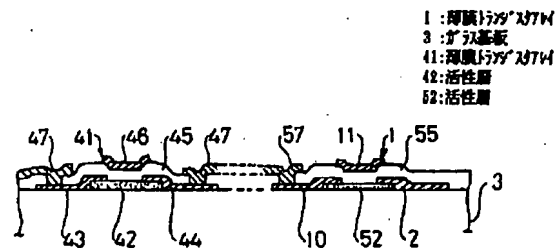
(74)代理人 弁理士 久保田 耕平 (外1名)

(54)【発明の名称】 アクティブマトリックス型画像表示パネルとその製造方法

(57)【要約】

【目的】 画質と応答速度が共に優れたアクティブマトリックス型画像表示パネルとその製造方法を提供すること。

【構成】 画素密度に対応してマトリックス状に配置されたスイッチング素子とこのスイッチング素子を駆動するドライブ回路とを同一のガラス基板3上に備えたアクティブマトリックス型画像表示パネルで、上記スイッチング素子とドライブ回路の主要部を構成する薄膜トランジスタアレイ41、1が共にポリシリコンを活性層42、52とし、かつ、ドライブ回路における活性層42の膜厚がスイッチング素子における活性層52の膜厚より大きく設定されていることを特徴とするもので、スイッチング素子用トランジスタのオフ電流の低減とドライブ回路におけるトランジスタの高移動度とを同時に達成することが可能となる。



1

【特許請求の範囲】

【請求項1】 画素密度に対応してマトリックス状に配置されたスイッチング素子用の薄膜半導体素子群と、これ等スイッチング素子の周囲に配置され各スイッチング素子を駆動する薄膜半導体素子群を有するドライブ回路とを同一の絶縁性基板上に備えるアクティブマトリックス型画像表示パネルにおいて、

上記スイッチング素子用薄膜半導体素子群の活性層がその膜厚を薄く設定したポリシリコン層により構成され、かつ、ドライブ回路における薄膜半導体素子群の活性層がスイッチング素子用薄膜半導体素子群の活性層よりその膜厚を厚く設定したポリシリコン層により構成されていることを特徴とするアクティブマトリックス型画像表示パネル。

【請求項2】 請求項1に係るアクティブマトリックス型画像表示パネルを製造する方法において、ポリシリコン層を一樣に成膜するポリシリコン層成膜工程と、

この成膜されたポリシリコン層の上記スイッチング素子用薄膜半導体素子群の活性層に対応する表面部位を選択的にエッチングしてその膜厚を薄く設定するエッチング工程、とを具備することを特徴とするアクティブマトリックス型画像表示パネルの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、TV、VTR、コンピュータ等の画像情報出力デバイスとして利用可能なアクティブマトリックス型の液晶ディスプレイやプラズマディスプレイ等画像表示パネルとその製造方法に係り、特に、画質並びに応答速度が共に良好なアクティブマトリックス型画像表示パネルとその製造方法の改良に関する。

【0002】

【従来の技術】この種のアクティブマトリックス型画像表示パネルとして液晶ディスプレイを例に挙げて説明すると、この液晶ディスプレイは、図11～図12に示すようにスイッチング素子用薄膜トランジスタアレイaとこのアレイaによって駆動される透明な表示電極bが画素密度に対応してマトリックス状に配置されたガラス基板cと、このガラス基板c上に積層された液晶層dと、この液晶層d上に積層されたカラーフィルタeと、このカラーフィルタe上に積層された第二ガラス基板fと、この第二ガラス基板fの表面並びに上記ガラス基板cの背面にそれぞれ積層された偏光板gとでその主要部が構成され、上記薄膜トランジスタアレイaのドレイン電極hからは各ライン毎に引出し電極としてドレインバスDが引出され、他方、ゲート電極jからは各ライン毎に引出し電極としてゲートバスGが引出されており、薄膜トランジスタアレイa群の周囲に配置されドライブ回路を構成するデータドライバkとスキャンドライバmによ

2

てそれぞれドレインバスD、ゲートバスGを介し以下に示す各画素のアクティブ駆動が行われるものである。

【0003】すなわち、図13の回路図に示すように線順次方式でゲートバスG₁、G₂、……、G_nを順々に走査して一時ゲートバスG上の全てのFETを一斉に導通(ON)状態にする一方、上記ドレインバスD₁、D₂、……、D_nを介しこの導通状態にあるFETに接続された全のキャパシタpに信号電荷を供給して蓄電させる。この蓄電された信号電荷により液晶qが励起されて各画素は透明状態となる。

【0004】次に、線順次方式で上記ゲートバスG₁、G₂、……、G_nを順々に走査してその一部のゲートバスGを選択的に導通(ON)状態にし、かつ、上記ドレインバスD₁、D₂、……、D_nを介し0Vの信号を一樣に入力することにより導通状態にあるFETに接続されたキャパシタpから信号電荷が放出されてその部位の画素が不透明となる一方、オフ(OFF)状態にあるFETに接続されたキャパシタpからは信号電荷が放出されないためこの信号電荷で透明状態にある画素との対比で所望の画像が表現されるものであった。

【0005】ところで、この種のアクティブマトリックス型画像表示パネルにおいては、従来、アモルファスシリコンを活性層とした薄膜半導体でスイッチング素子を構成する一方、データドライバkやスキャンドライバm等のドライブ回路については別体のIC(集積回路)を外付で適用した構造のものが主流を占めている。

【0006】しかし、この構造のものを製造する場合、上記スイッチング素子とICとを別々の工程で製造する必要があり、しかもスイッチング素子群とICで構成されたドライブ回路とをボンディングする工程が必要になるためその製造が繁雑でかつ接続不良に伴う欠陥品も多量に生ずる欠点があった。

【0007】このため、近年、図14に示すようにポリシリコンを活性層とした薄膜半導体でスイッチング素子とドライブ回路の半導体素子とを各々構成した構造のものが盛んに利用されるようになってきている。

【0008】尚、図14中、Gはゲート電極、Dはドレイン電極、Sはソース電極、tはポリシリコンより成る活性層、rは絶縁層を示している。

【0009】

【発明が解決しようとする課題】このような構造を採ることで上記スイッチング素子とドライブ回路の半導体素子とを同一の絶縁性基板上へしかも同一工程で形成できるためその製造効率を飛躍的に向上できる利点がある反面、ポリシリコンを活性層とした薄膜半導体素子によりスイッチング素子とドライブ回路の半導体素子とが共に構成されることになるため、これ等スイッチング素子とドライブ回路における半導体素子とのトランジスタ特性に差異を持たせることが困難になり、得られたアクティブマトリックス型画像表示パネルの特性が低下してしま

う問題点があった。

【0010】すなわち、表示パネルの画質を上げるためには上記スイッチング素子を構成する半導体素子の低オフ電流特性が優先して要求されるのに対し、表示パネルの高速応答性や表示パネルの大型化を図るためにはドライブ回路の主要部を構成する半導体素子の活性層の電子移動度が高いことが優先して要求され、従って、同一のポリシリコンで各半導体素子の活性層を構成する限り両者の目的を同時に達することは困難であった。

【0011】このため、中間的な性質を示すポリシリコンを適用してスイッチング素子におけるオフ電流特性の低減とドライブ回路における半導体素子の高移動度を図っているが十分ではなく、得られたアクティブマトリックス型画像表示パネルの特性が低下してしまう問題点があった。

【0012】尚、アモルファスシリコン層を一緒に成膜した後、ドライブ回路における半導体素子の活性層に対応した部位にレーザビームを選択的に照射してその部位を結晶化させ、スイッチング素子の活性層をアモルファスシリコンで構成する一方ドライブ回路における半導体素子の活性層をポリシリコンで構成することにより両者の目的を同時に達成する方法も考案されているが、ICを外付する方法と同様に製造効率が極めて悪く現実的には適用困難な方法であった。

【0013】本発明はこのような問題点に着目してなされたもので、その課題とするところは、画質並びに応答速度が共に良好なアクティブマトリックス型画像表示パネルとその製造方法を提供することにある。

【0014】

【課題を解決するための手段】すなわち請求項1に係る発明は、画素密度に対応してマトリックス状に配置されたスイッチング素子用の薄膜半導体素子群と、これ等スイッチング素子の周囲に配置され各スイッチング素子を駆動する薄膜半導体素子群を有するドライブ回路とを同一の絶縁性基板上に備えるアクティブマトリックス型画像表示パネルを前提とし、上記スイッチング素子用薄膜半導体素子群の活性層がその膜厚を薄く設定したポリシリコン層により構成され、かつ、ドライブ回路における薄膜半導体素子群の活性層がスイッチング素子用薄膜半導体素子群の活性層よりその膜厚を厚く設定したポリシリコン層により構成されていることを特徴とするものであり、他方、請求項2に係る発明は、請求項1に係るアクティブマトリックス型画像表示パネルを製造する方法を前提とし、ポリシリコン層を一緒に成膜するポリシリコン層成膜工程と、この成膜されたポリシリコン層の上記スイッチング素子用薄膜半導体素子群の活性層に対応する表面部位を選択的にエッチングしてその膜厚を薄く設定するエッチング工程、とを具備することを特徴とするものである。

【0015】このような技術的手段においてポリシリコ

ン層を成膜する手段としては、化学的気相成長法(CVD法)が適用でき、例えば、 SiH_4 、 Si_2H_6 、 Si_3H_8 等の水素化珪素を用いた熱CVD法、 SiH_4 、 Si_2H_6 、 Si_3H_8 等の水素化珪素、 $\text{SiH}_m\text{X}_{4-m}$ (但し、 m は1~4好ましくは2~4、 X はC1又はF原子好ましくはF原子である)で示されるハロゲン化シラン、 SiF_4 、 SiCl_4 、 Si_2F_6 より任意に選択されたハロゲン化珪素を用いるプラズマCVD法等が適用できる。尚、一旦アモルファスシリコン層を一緒に成膜しこれを結晶化アニール処理によりポリシリコン層にする方法でポリシリコン層を形成してもよい。

【0016】また、成膜時におけるポリシリコン層の膜厚については、上記ドライブ回路における活性層の高移動度(電子移動度： $\mu \geq 30 \text{ cm}^2 / \text{v} \cdot \text{s}$)を図る観点から1000~10000オングストローム程度に設定することが望ましい。

【0017】次に、成膜されたポリシリコン膜をエッチングしてその膜厚を薄く設定するエッチング手段としては特に制限はなくウェットエッチング法でもドライエッチング法でも適用可能である。この場合、所定の膜厚でエッチングが止められるように、例えば、ウェットエッチング法を適用した際にはエッチャントの種類や処理温度、処理時間等のファクターを適宜調整し、また、プラズマエッチング等のドライエッチング法を適用した際にはエッチャントガスの種類並びに供給速度、適用圧力、RF出力、処理時間等のファクターを適宜調整して処理することを要する。

【0018】そして、エッチング処理後におけるポリシリコン層の膜厚については、スイッチング素子における活性層のオフ電流特性の低減($I_{\text{OFF}} \leq 10^{-12} \text{ A}$)を図る観点から100~1000オングストローム程度に設定することが望ましい。

【0019】尚、ポリシリコンを活性層とする薄膜半導体素子の構造としては従来例に挙げられた『ボトムゲート型』の半導体素子や『トップゲート型』の半導体素子等任意である。

【0020】

【作用】請求項1に係る発明によれば、スイッチング素子用薄膜半導体素子群の活性層がその膜厚を薄く設定したポリシリコン層により構成されているためその膜厚効果により抵抗が上がりオフ電流の低減が図れる一方、上記ドライブ回路における薄膜半導体素子群の活性層がスイッチング素子用薄膜半導体素子群の活性層よりその膜厚を厚く設定したポリシリコン層により構成されそのポリシリコン層の結晶粒径が大きいこと電子移動度を高めることが可能となる。

【0021】他方、請求項2に係る発明によれば、ポリシリコン層を一緒に成膜するポリシリコン層成膜工程と、この成膜されたポリシリコン層の上記スイッチング

素子用薄膜半導体素子群の活性層に対応する表面部位を選択的にエッチングしてその膜厚を薄く設定するエッチング工程、とを具備しているため、それぞれ要求特性が異なるスイッチング素子用薄膜半導体素子群とドライブ回路における薄膜半導体素子群とを同一の絶縁性基板上へ選択的に簡便かつ確実に形成することが可能になる。

【0022】

【実施例】以下、アクティブマトリックス型液晶表示パネルに適用された実施例について図面を参照して詳細に説明すると、この実施例に係るアクティブマトリックス型液晶表示パネルは、図1～図2に示すようにスイッチング素子用薄膜トランジスタアレイ1とこのアレイ1によって駆動される透明な表示電極2が画素密度に対応してマトリックス状に配置されたガラス基板3と、このガラス基板3上に積層された液晶層4と、この液晶層4上に積層されたカラーフィルタ5と、このカラーフィルタ5上に積層された第二ガラス基板6と、この第二ガラス基板6の表面並びに上記ガラス基板3の背面にそれぞれ積層された偏光板7とでその主要部が構成され、上記薄膜トランジスタアレイ1のドレイン電極10からは各ライン毎に引出し電極としてドレインバスDが引出され、他方、ゲート電極11からは各ライン毎に引出し電極としてゲートバスGが引出されており、薄膜トランジスタアレイ1群の周囲に配置されドライブ回路を構成するデータドライバ81とスキヤンドライバ82によってそれぞれドレインバスD、ゲートバスGを介し従来と同様に各画素のアクティブ駆動が行われるように構成されているものである。

【0023】そして、このアクティブマトリックス型液晶表示パネルにおいてはそのドライブ回路の薄膜トランジスタアレイ41とスイッチング素子用の薄膜トランジスタアレイ1とが図3に示すようにポリシリコンを活性層とした『トップゲート型』薄膜トランジスタで構成されている。

【0024】すなわち、ドライブ回路の薄膜トランジスタアレイ41は、ガラス基板3上に形成された膜厚5000オングストロームのポリシリコン製の活性層42と、この活性層42にそれぞれ接続されて設けられたクロム製のソース電極43並びにドレイン電極44と、これ等面上に成膜されたSiN_x製のゲート絶縁膜45と、上記活性層42の対向部位に設けられたアルミニウム製のゲート電極46と、上記ソース電極43とドレイン電極44にそれぞれ接続されたアルミニウム製の配線部47とでその主要部が構成されており、他方、上記スイッチング素子用の薄膜トランジスタアレイ1は、ガラス基板3上に形成された膜厚500オングストロームのポリシリコン製の活性層52と、この活性層52にそれぞれ接続されて設けられたクロム製のドレイン電極10並びにITO（酸化インジウム錫）製の表示電極2と、これ等面上に成膜されたSiN_x製のゲート絶縁膜55

と、上記活性層52の対向部位に設けられたアルミニウム製のゲート電極11と、上記ドレイン電極10に接続されたアルミニウム製の配線部57とでその主要部が構成されている。

【0025】この様にこのアクティブマトリックス型液晶表示パネルにおいては、上記スイッチング素子用薄膜トランジスタアレイ1の活性層52がその膜厚を薄く（500オングストローム）設定したポリシリコン層により構成されているためその膜厚効果により抵抗が上がりオフ（OFF）電流の低減が図れる一方、上記ドライブ回路における薄膜トランジスタアレイ41群の活性層42がスイッチング素子用薄膜トランジスタアレイ1群の活性層52よりその膜厚を厚く（5000オングストローム）設定したポリシリコン層により構成されているため膜厚が大きい分だけそのポリシリコン層の結晶粒径が大きくなり電子移動度を高めることが可能になっている。

【0026】従って、スイッチング素子用薄膜トランジスタアレイ1群のオフ（OFF）電流が低減するためこれ等スイッチング素子用薄膜トランジスタアレイ1を作動させて表示した画素部と表示させない画素部との明確な差別化が図れて表示画質が良好になる利点を有しており、かつ、ドライブ回路における薄膜トランジスタアレイ41群の電子移動度が高まるため応答速度の向上と表示パネルの大型化が図れる利点を有している。

【0027】『アクティブマトリックス型液晶表示パネルの製造工程』以下、実施例に係るアクティブマトリックス型液晶表示パネルの製造法について説明すると、図4に示すようにガラス基板3面上に厚さ5000オングストロームのポリシリコン層20を熱CVD法により一様に成膜した。

【0028】尚、成膜条件は以下の通りであった。

【0029】適用ガス：SiH₄

適用圧力：常圧

基板温度：600℃

次に、ドライブ回路を形成する部位にレジスト膜21をパターン状に設けた後、上記ポリシリコン層20についてプラズマエッチング処理を施し図5に示すようにレジスト膜21から露出するポリシリコン層20の表面部位を除去して厚さ500オングストロームの薄膜ポリシリコン層22を形成した。

【0030】尚、エッチング条件は以下の通りであった。

【0031】

適用ガス：CF₄（95%）+O₂（5%）

供給速度：40sccm

適用圧力：17Pa

RF出力：0.08W/cm²

次いで、上記ポリシリコン層20と薄膜ポリシリコン層22上へ図6に示すようにレジスト膜21を形成し、か

7

つ、同じくプラズマエッチング処理を施してそれぞれ活性層42、52を形成すると共に、これ等活性層42、52に接続させてクロム製のドライブ回路用のソース電極43並びにドレイン電極44とスイッチング素子用のドレイン電極10とを形成し(図7参照)、更に、図8に示すように活性層52の残りの一方側にITO(酸化インジウム錫)で構成された透明な表示電極2を形成した。

【0032】そして、SiN_x製のゲート絶縁膜45、55を一様に成膜し、かつ、図9に示すようにこれにコンタクトホール60を開設した後、アルミニウム製のゲート電極46、11と配線部47、57を形成して図10に示すような薄膜トランジスタアレイ41、1を完成し、かつ、従来と同様な各工程を経て図1に示したアクティブマトリックス型液晶表示パネルを製造した。

【0033】

【発明の効果】請求項1に係る発明によれば、スイッチング素子用薄膜半導体素子群のオフ電流が低減するためこれ等スイッチング素子用薄膜半導体素子を作動させて表示した画素部と表示させない画素部との明確な差別化が図れて表示画質が良好になる効果を有しており、かつ、ドライブ回路における薄膜半導体素子群の電子移動度が高まるため応答速度の向上と表示パネルの大型化が図れる効果を有している。

【0034】他方、請求項2に係る発明によれば、それぞれ要求特性が異なるスイッチング素子用薄膜半導体素子群とドライブ回路における薄膜半導体素子群とを同一の絶縁性基板上へ選択的に簡便かつ確実に形成することが可能になる。

【0035】従って、画質及び応答速度が共に良好な大画面のアクティブマトリックス型画像表示パネルを安価に製造できる効果を有している。

【図面の簡単な説明】

8

【図1】実施例に係るアクティブマトリックス型液晶表示パネルの概略斜視図。

【図2】スイッチング素子用の薄膜トランジスタアレイの概略斜視図。

【図3】図1のIII-III面の一部断面図。

【図4】実施例に係るアクティブマトリックス型液晶表示パネルの製造工程図。

【図5】実施例に係るアクティブマトリックス型液晶表示パネルの製造工程図。

【図6】実施例に係るアクティブマトリックス型液晶表示パネルの製造工程図。

【図7】実施例に係るアクティブマトリックス型液晶表示パネルの製造工程図。

【図8】実施例に係るアクティブマトリックス型液晶表示パネルの製造工程図。

【図9】実施例に係るアクティブマトリックス型液晶表示パネルの製造工程図。

【図10】実施例に係るアクティブマトリックス型液晶表示パネルの製造工程図。

【図11】従来のアクティブマトリックス型液晶表示パネルの概略斜視図。

【図12】従来のスイッチング素子用の薄膜トランジスタアレイの概略斜視図。

【図13】アクティブマトリックス型液晶表示パネルの回路図。

【図14】図11のXIV-XIV面の一部断面図。

【符号の説明】

1 薄膜トランジスタアレイ

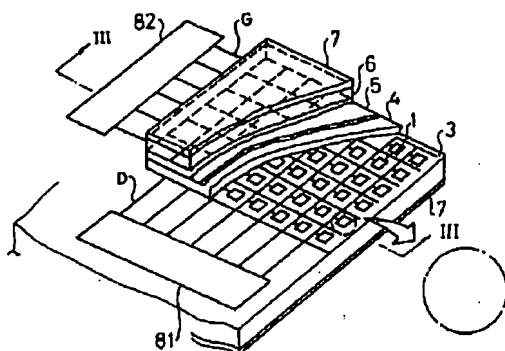
3 ガラス基板

41 薄膜トランジスタアレイ

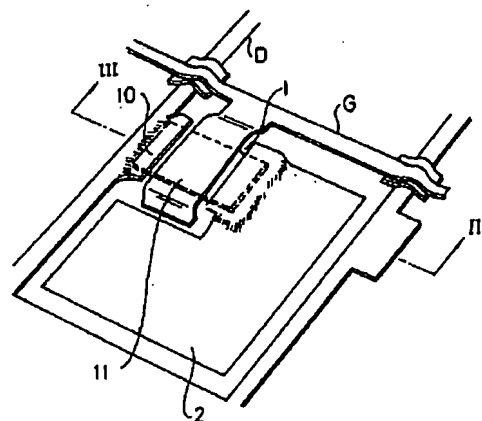
42 活性層

52 活性層

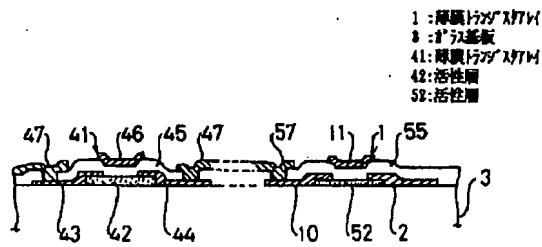
【図1】



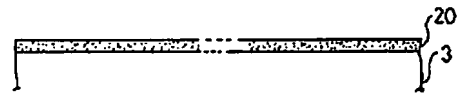
【図2】



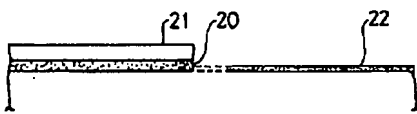
【図3】



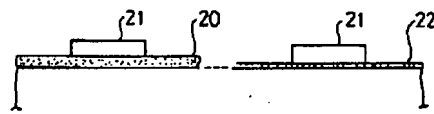
【図4】



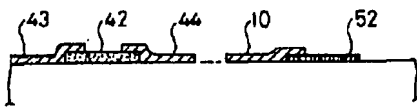
【図5】



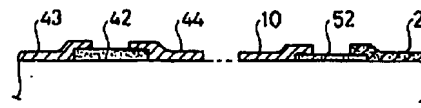
【図6】



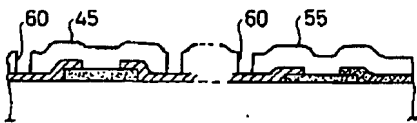
【図7】



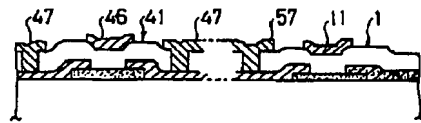
【図8】



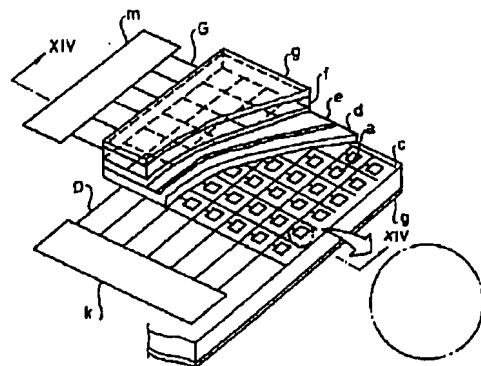
【図9】



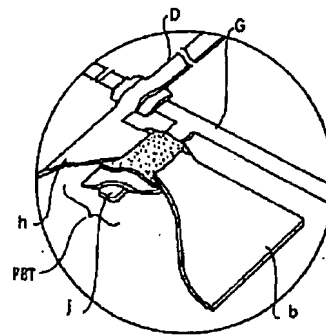
【図10】



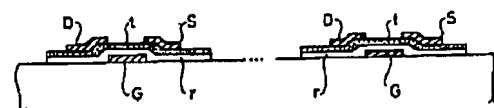
【図11】



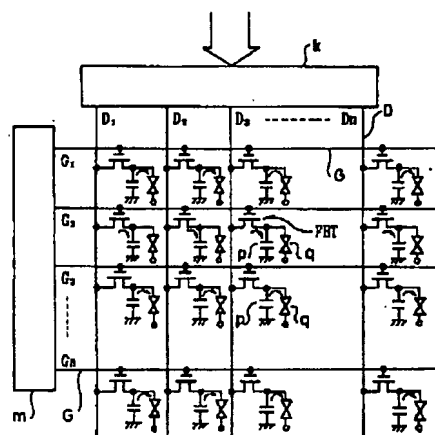
【図12】



【図14】



【図13】



PAT-NO: JP405323361A

DOCUMENT-IDENTIFIER: JP 05323361 A

TITLE: ACTIVE MATRIX TYPE IMAGE DISPLAY PANEL AND ITS
MANUFACTURE

PUBN-DATE: December 7, 1993

INVENTOR-INFORMATION:

NAME

KONO, NAOTAKE

KAKIGI, HISASHI

ASSIGNEE-INFORMATION:

NAME

TONEN CORP

COUNTRY

N/A

APPL-NO: JP03096652

APPL-DATE: April 26, 1991

INT-CL (IPC): G02F001/136, H01L029/784

ABSTRACT:

PURPOSE: To provide the active matrix type image display panel which is superior in picture quality and response speed and its manufacture.

CONSTITUTION: The active matrix type image display panel is equipped with switching elements, arranged in matrix corresponding to pixel density, and a driving circuit which drives the switching elements on the same glass substrate 3; and thin film transistor arrays 41 and 1 constituting principal parts of the switching elements and driving circuit both use polysilicon for active layers 42 and 52 and the active layer 42 of the driving circuit is set thicker than the active layer 52 of the switching elements. Consequently, the reduction of

the OFF current of the transistors for the switching elements and the high mobility of the transistors of the driving circuit are both enabled.

COPYRIGHT: (C)1993,JPO&Japio